DIALOG(R)File 347:JAPIO (c) 2003 JPO & JAPIO. All rts. reserv.

\*\*Image available\*\* 03660862 CONTROL SYSTEM BY MULTI-CENTRAL PROCESSING UNIT

PUB. NO.:

04-025962 [JP 4025962 A]

PUBLISHED:

January 29, 1992 (19920129)

INVENTOR(s): TOSHIMA MITSUHIRO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.:

02-130932 [JP 90130932]

FILED:

May 21, 1990 (19900521)

#### **ABSTRACT**

PURPOSE: To share a pair of ROM by supplying a program code which is used in common by means of a pair of storage devices arranged on a bus channel which respective cache controllers of CPU can directly control.

CONSTITUTION: When CPU 4 refers to ROM 3 where the program code which is

used in common in CPU 4 and 5 is stored, the cache controller 4 directly controls ROM 3 through a common code transfer bus 2 and stores the program code transferred from ROM 3 in a cache memory 43. When there is a change in the program code, only the program code of ROM 3 is changed and ROM 3 is cached from the cache controllers 42 and 52 in CPU 4 and 5. Thus, the changed program code is stored in the cache memories 43 and 53. At that time, the common bus 1 for transferring data between CPU 4 and 5 is not affected at all.

er 2

2r2

さんしょう とうないない ないかい かんしゅう

①特許出願公開:

## @ 公開特許公報(A) 平4-25962

®Int. Cl. 5

識別記号

庁内整理番号

❸公開 平成4年(1992)1月29日

G 06 F 15/16

320 K

8840-5L 7230-5B

R. Walley

審査請求 未請求 請求項の数 2 (全3頁)

60発明の名称

・マルチ中央処理装置による制御システム

**到特 顯 平2-130932** 

頭 平2(1990)5月21日

明者 個発

充 洋

東京都港区芝5丁目7番1号 日本電気株式会社内

日本電気株式会社 願人 る出

東京都港区芝5丁目7番1号

弁理士 内 原 の代 理 人

発明の名称

マルチ中央処理装置による制御システム

#### 特許頂求の範囲

1. 複数の中央処理装置が共有バスを介して接 校しているマルチ中央処理装置による制御システ ムにおいて、前記複数の中央処理装置が共通に使 用するプログラムコードと固定データとを記憶す る記憶装置と、この記憶装置と前記複数の中央処 理装置間を接続する共有コード転送用バスと、前 記複数の中央処理装置それぞれに前記共有コード 転送用バスを介して 前記記憶装置に アクセスして 前記プログラムコードをキャシュするキャシュコ ントローラと、このキャッシュコントローラでキ ャッシュしたプログラムコードを配位するキャッ シュメモリとを有することを特徴とするマルチ中 央処理装置による制御システム。

2. 対記記憶装置は取替え可能なROMを有し

て成ることを特位とする請求項1記載のマルチ中 央処理装置による制御システム。

発明の詳細な説明

(産業上の利用分野)

本発明はマルチ中央処理装置による制御システ ムに関する。

〔従来の技術〕

一般に、マルチ中央処理装置(以下CPUと記 す)による制御システムにおいては、CPU間で ・ 共通に使用しているプログラムコードがあり、次 にあげるものがこれに該当する.

・オペレーティングシステムのアログラムコー

・共有バスや共有メモリを使用してCPU間で「 データのやりとりを行なうプログラムコード

・同種のアログラマブルデバイスに対して制御 を行なうアログラムコード

・まったく同じ動作をするCPUがシステム上 に複数ある場合、そのアラグラムコード

従来のマルチCPUによる制御システムでは、このようにCPU間で共通に使用しているアログ・ラムコードについても、それぞれのCPUごとにアログラムコードをROMに書き込んで実装する構成となっていた。

### (発明が解決しようとする課題)

上述した従来のマルチCPUによる制御システムでは、CPU間で共通に使用しているとにプログラムコードについてもそれぞれのCPUごとにプログラムコードをROMに書き込んで、関で共通に使用しているアログラムコードを書き込んで、ROMを取り替る必要があるという欠点がある。

### (課題を解決するための手段)

本発明のマルチCPUによる制御システムは、 複数の中央処理装置が共有バスを介して接続して いるマルチ中央処理装置による制御システムにお いて、前記複数の中央処理装置が共通に使用する アログラムコードと固定データとを記憶する記憶する記憶装置と、この記憶装置と前記複数の中央処理被認可を接続する共有コード転送用バスと、前記複数で中央処理を設定されたに前記共有コードを発してが設定にアクセスしてが記したが記した。このキャッシュコントローラと、このキャッシュコントローを記憶装置は取替えている。 ROMを有している。

#### (寒抹例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

第1図において、本実施例は中央処理装置(以下CPUと記す)4、5と、CPU4、5同でデータ転送を行うための共有パス1と、CPU4、5で共通に使用しているプログラムコードが書込まれているROM3と、CPU4、5がROM

3の中のアロクラムコードを参照してアログラ ムコードをCPU4。5へ転送するための共有 コード転送用バス2とを有して構成し、CPU 4 はROM3の中のプログラムコードをキャッ シュするためのキャッシュコントローラ(以下 CACTLと記す) 42と、キャッシュしたプロ グラムコードを格前するキャッシュメモリ(以下 CAMと記す)43と、共有パス1から転送され だまたは転送されるデータを一時記憶するパスパ ッファ (以下BAと記す) 41と、CPU4の制 俎アログラムを格納しているアログラムメモリ (以下PROM) 47と、CPU4のローカル DRAM (以下しDRAMと記す) 46と、被制 **芽装置(以下EQと配す)6とインタフェースす** る1/0パッファ(以下1/0日と記す)48 と、CPU4内全体をローカルバス(以下LBU Sと記す)44を介して制御する制御部(以下C Tしと記す) 45とを有して構成し、CPU5も 関様にBA51、CACTL52、CAM53、 LBUS54. LDRAM56, PROM57.

I / O B 5 8 および C T L 5 5 と を有して構成している。

次に、本実施例のROM3を参照する場合の動作について説明する。

C P U 4 . 5 で共通に使用されるプログラムコードが格納されている R O M 3 を C P U 4 が参照する場合、C A C T L 4 が共通コード 伝送用バス2 を介して R O M 3 を直接制御し、R O M 3 から転送されてくるプログラムコードを C A M 4 3 に格納させる。

もし、プログラムコードに変更が生じた場合にはROM3のプログラムコードのみを変更し、CPU4、5それぞれのCACTL42、52からROM3をキャッシュすることにより、変更されたプログラムコードがCAM43、53に格的される。

このとき、CPU4、5同でデータ転送を行う ための共有パス1になんら影響を与えることはない。

(発明の効果)

また、記憶装置からCPU間で共通に使用しているプログラムコードを共有コード転送用バスを用いて転送することにより、CPU間でデータのやりとりを行う共有バスの効率を下げることなく各CPUからプログラムコードを参照することができる効果がある。

図面の簡単な説明

٣

以

Ŧ

₽. M

扐

コ級ス

らに

::

か

ĕ

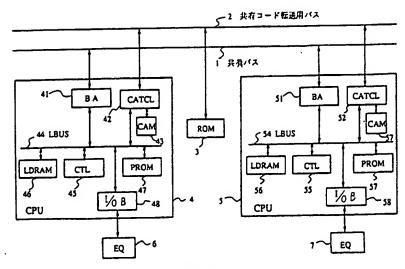
納

ì

第1図は本発明の一実施例を示すブロック図で ある。

1 … 共有バス、 2 … 共有コード転送用バス、 3 … R O M、 4 , 5 … 中央処理装置 ( C P U ) 、 6 , 5 … 被制御装置 ( E Q ) 、 4 1 , 5 1 … バスパッファ ( B A ) 、 4 2 , 5 2 … キャッシュコントローラ ( C A C T L ) 、 4 3 . 5 3 … キャッシュメモリ ( C A M ) 、 4 4 , 5 4 … ローカルバス( L B U S ) 、 4 5 . 5 5 … 制御部 ( C T L ) 、 4 6 , 5 6 … ローカル D R A M ( L D R A M ) 、 4 7 , 5 7 … プログラム R O M ( P R O M ) 、 4 8 , 5 8 … I / O バッファ ( I / O B ) 。

代理人 弁理士 内 原 智



第1図